

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-260518

(43) 公開日 平成9年(1997)10月3日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/78	3 7 1
	29/788		27/10	4 3 4
	29/792			
	27/115			

審査請求 未請求 請求項の数26 O L (全 17 頁)

(21) 出願番号 特願平8-302924

(22) 出願日 平成8年(1996)11月14日

(31) 優先権主張番号 08/557589

(32) 優先日 1995年11月14日

(33) 優先権主張国 米国 (US)

(71) 出願人 596164700

プログラマブル マイクロエレクトロニクス  
コーポレーション

PROGRAMMABLE MICROELECTRONICS CORPORATION

アメリカ合衆国, カリフォルニア

95131, サン ノゼ, リダー パーク  
ドライブ 1350

(72) 発明者 シャンデー ティー, チャン

アメリカ合衆国, カリフォルニア

94539, フリモント, サウザーランド  
ウェイ 43570

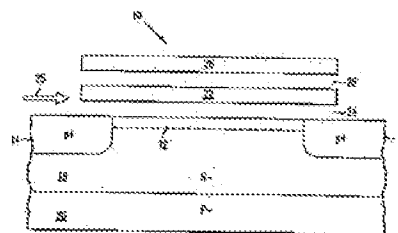
(74) 代理人 井理士 小橋 一男 (外1名)

(54) 【発明の名称】 ホットエレクトロン注入プログラミング及びトンネル動作消去を有するPMOSメモリセル

(57) 【要約】

【課題】 破壊的な接合ストレスを発生させることなくセルのチャンネル長を減少させることを可能としたPMOSメモリセルを提供する。

【解決手段】 PチャンネルMOSメモリセルは、Nウェル(18)内に形成したP+ソース(14)及びドレイン(16)領域を有している。薄いトンネル酸化物(24)がウェル表面と上側に存在するフローティングゲート(22)との間に設けられている。上側に存在する制御ゲート(26)は、絶縁層(28)によってフローティングゲートから絶縁されている。本装置は、アバランシェブレークダウンなしで、チャンネル領域のドレイン端部からフローティングゲートへのホットエレクトロン注入によってプログラミングが行なわれ、そのことはプログラミング期間中にセルをビット毎に選択可能なものとさせている。消去、ドレイン、Nウェル領域を同じくバイアスさせて、フローティングゲートからNウェルへの電子のトンネル動作によって行なわれる。



ル。

【請求項16】 請求項14において、前記セルが、約3乃至1.5Vの間の電圧を前記Nウェルと、前記第二ワード線と、前記ビット線とに印加し、前記第一ワード線及び前記ソースを接地し、且つ約-3乃至-1.5Vの間の電圧を前記制御ゲートへ印加させることによって、消去させることを特徴とする半導体メモリセル。

【請求項17】 請求項14において、前記セルが、前記供給電圧を前記ソース及び前記Nウェルへ印加し、前記第一及び第二ワード線を接地し、且つ約0Vと前記供給電圧との間の電圧を前記制御ゲート及び前記ビット線へ印加させることによって、読取を行うことを特徴とする半導体メモリセル。

【請求項18】 N型ウェル内に形成したP+ソースとP+ドレインとを具備するフローティングゲートPチャンネルメモリセルのプログラミング方法において、前記ソース及び前記セルの前記N型ウェルへ第一バイアス電圧を印加し、前記ドレインへ第二バイアス電圧を印加し、前記セルの制御ゲートへ第三バイアス電圧を印加して前記N型ウェルから前記フローティングゲートへホットエレクトロンを注入させ、その際に前記フローティングゲートを充電させる、上記各ステップを有することを特徴とする方法。

【請求項19】 請求項18において、前記第一バイアス電圧が約5Vと1.5Vとの間であり、前記第二バイアス電圧が約0Vと2Vとの間であり、且つ前記第三バイアス電圧が約5Vと1.6Vとの間であることを特徴とする方法。

【請求項20】 請求項18において、前記第一バイアス電圧が約5Vと1.5Vとの間であり、前記第二バイアス電圧が約0Vと2Vとの間であり、且つ前記第三バイアス電圧が約0Vから高々約1.6Vへ増加する勾配を持った電圧であることを特徴とする方法。

【請求項21】 N型ウェル内に形成したP+ソースとP+ドレインとを具備するフローティングゲートPチャンネルメモリセルのプログラミング方法において、約5Vと1.5Vとの間の電圧を前記N型ウェルへ印加し、前記ソースをフローティング電位へ結合し、前記ドレインを接地し、約5Vと1.5Vとの間の電圧を前記セルの制御ゲートへ印加して前記N型ウェルから前記フローティングゲートへホットエレクトロンを注入させ、その際に前記フローティングゲートを充電させる、上記各ステップを有することを特徴とする方法。

【請求項22】 N型ウェル内に形成したP+ソースとP+ドレインとを具備するフローティングゲートPチャンネルメモリセルの消去方法において、前記セルのソース及び前記ウェルへ第一バイアス電圧を

印加し、

前記ドレインへ第二バイアス電圧を印加し、前記セルの制御ゲートへ第三バイアス電圧を印加して、前記フローティングゲートから前記セルの前記P+ドレイン、前記P+ソース、前記N型ウェルへ電子のトンネル動作を起こさせ、その際に前記フローティングゲートを放電させる、上記各ステップを有することを特徴とする方法。

【請求項23】 請求項22において、前記第一バイアス電圧が約1.5Vと2.2Vとの間であり、前記第二バイアス電圧が約1.5Vと2.2Vとの間であり、且つ第三バイアス電圧が約0Vであることを特徴とする方法。

【請求項24】 請求項22において、前記第一バイアス電圧が約3Vと1.5Vとの間であり、前記第二バイアス電圧が約3Vと1.5Vとの間であり、且つ前記第三バイアス電圧が約-3と-1.5Vとの間であることを特徴とする方法。

【請求項25】 基板内に半導体構成体を形成する方法において、前記構成体が前記基板のNウェル内に形成した周辺PMOSトランジスタ及びPチャンネルメモリセルを有すると共に前記基板のPウェル内に形成した周辺NMOSトランジスタを有するものであって、前記メモリセルのチャンネル領域の上側に位置してフローティングゲートと、制御ゲートとを形成し、前記NMOSトランジスタのチャンネル領域の上側に第一ゲートを形成し且つ前記PMOSトランジスタのチャンネル領域の上側に第二ゲートを形成し、前記NMOSトランジスタのみを露後のドーピングステップへ露呈させるために前記Nウェルの全ての側面に第一マスキング層を形成し、

前記NMOSトランジスタのN型ソース領域及びドレイン領域を形成するために前記第一ゲート及び前記第一マスキング層によって画定されるように前記Pウェル基板の部分内にN型ドーパントを注入し、

前記第一マスキング層を除去し、

前記メモリセル及び前記PMOSトランジスタを露後のドーピングステップに露呈させるために前記Pウェルの全ての側面に第二マスキング層を形成し、

前記メモリセルのP型ソース領域及びドレイン領域と前記PMOSトランジスタのP型ソース領域及びドレイン領域とを同時に形成するために前記第二マスキング層、前記第二ゲート及び前記制御ゲートによって画定されるように前記Nウェルの部分内にP型ドーパントを注入する、上記各ステップを有することを特徴とする方法。

【請求項26】 請求項25において、更に、前記第一、第二及び制御ゲートの各々の側部に側壁スペーサを形成し、

前記制御ゲートの前記側部上の前記側壁スペーサを除去し、

鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良した非揮発性メモリ装置を提供することを目的とする。

#### 【0007】

【課題を解決するための手段】本明細書に開示する非揮発性半導体メモリセルは上述した従来技術における問題を解消している。本発明によれば、PチャンネルMOSトランジスタは、P-基板内に形成したN型ウェル内に形成したP+ソース領域及びP+ドレイン領域を有している。Nウェル表面と上側に存在するフローティングゲートとの間に薄いトンネル酸化物が設けられている。一実施例においては、この薄いトンネル酸化物は、本装置の活性領域のかなりの部分にわたって延在している。上側に存在する制御ゲートは、絶縁層によってフローティングゲートから分離されている。Pチャンネル装置は、チャンネル領域のドレイン端部からフローティングゲートへのホットエレクトロン注入を介してプログラミングが行なわれる。このプログラミングのメカニズムは、低いプログラミング電流及び低いプログラミング電圧を使用してセルをビットプログラマブル、即ちビット毎にプログラムすることを可能としている。消去は、Nウェル、ソース、ドレインを等しくバイアスした状態で、フローティングゲートからNウェル、ソース、Nウェル内のドレインへの電子のトンネル動作によって達成される。プログラミングモード又は消去モードのいずれにおいても高いドレイン/ウェル接合バイアス電圧を使用していないので、セルのチャンネル長は、接合ブレイクダウン及び破壊的接合ストレスを発生することなしに、減少させることが可能である。このような高いP/N接合電圧が存在しないことは、このようなセルの寸法を最小とさせることを可能としている。

【0008】本発明に基づくPチャンネルメモリセルは、プログラミングが行なわれた場合に深い空乏域内において動作することが可能であり、その際により高い読取電流とすることを可能とし、従ってより高速の動作速度とすることを可能としている。更に、本明細書に開示したメモリセルはプログラミングされた場合にのみ読取電流を導通させ、且つ消去された場合には、フローティングゲート上の電圧よりもソース、ドレイン、Nウェル上において一層高い電圧を有するものであるから、読取擾乱の問題は取除かれている。

#### 【0009】

【発明の実施の形態】図1を参照すると、フラッシュメモリセル10がP-基板20のN-ウェル18内に形成したP+ソース領域14とP+ドレイン領域16との間に延在しているチャンネル12を有している。注意すべきことであるが、図1においては、N-ウェル18内に形成されているものとして図示してあるが、セル10は、他の実施例においては、その他の適宜の下側に存在するN-型基板内に形成することが可能である。フロー

ティングゲート22が薄いトンネル動作の酸化物質層24によってN-ウェル18の表面から分離されている。図1に示した好適実施例においては、トンネル動作の酸化物質層24は約80乃至130Åの厚さを有しており且つチャンネル12の全長及びP+ソース14及びP+ドレイン16の両方の一部にわたって延在している。然しながら、注意すべきことであるが、その他の実施例においては、トンネル動作の酸化物質層24はその他の異なる長さのものとすることが可能であり、その長さとは矢印25で示した方向における長さのことである。例えば、一実施例においては（不図示）、トンネル動作の酸化物質層24はP+ドレイン16の一部にわたってのみ延在し、N-ウェル18の残部の表面はその上に形成した厚いゲート酸化物質層を有するものとすることが可能である。

【0010】制御ゲート26は約180乃至350Åの厚さを有する絶縁層28によってフローティングゲート22から分離されている。好適実施例においては、セル10は、その通常の状態即ち消去された状態において、特定のセル及びそれと関連するアレイの形態に依存して、約-1.0乃至-5.0Vに等しいスレッショールド電圧 $V_t$ を有するべきである。 $V_t$ の特定の値は、チャンネル領域12内へのドーパントの従来のイオン注入によって変化させることが可能である。

【0011】セル10の動作は以下の如くである。セル10のプログラミング即ち書込を行なうためには、ドレイン16を2Vに維持した状態で、約8VをP+ソース14及びN-ウェル18へ印加させる。制御ゲート26における電圧は $V_t$ から約1.2Vへランブアップ即ち所定の勾配を持って上昇させる。これらのプログラミング電圧に対する許容可能な範囲は以下の表1に示してある。次に、図2Aをも参照すると、ソース14及びチャンネル12の近くにおける正に帯電したホールがP+ドレイン16上の正の度合いがより低い電圧へ吸引され且つ矢印1で示したように、チャンネル領域12を介してP+ドレイン16へ向かって加速される。これらのホールはドレイン空乏領域30内の電子及び格子原子と衝突し、その際に星印2で示したように衝撃イオン化を発生する。衝撃イオン化によって発生され、制御ゲート26上の正の電圧によって吸引される高エネルギー電子は空乏領域30から矢印3で示したようにフローティングゲート22内へ注入される。その結果得られるフローティングゲート22上の負の電荷はチャンネル領域12を空乏状態とさせ且つ強制的にセル10を深い空乏状態とさせる。好適実施例においては、セル10は、それがプログラムされた状態において、約4Vに等しい $V_t$ を有している。上述し且つ表1に示したプログラミング電圧は、このような低いチャンネル電流PMOSホットエレクトロン注入(LCCPHEI)プログラミングを行なうことによって、セル10がプログラミング期間中にビット

消去  
(オープン2)

3V乃至15V (-15V) 乃至  
(-3V)

3V乃至15V 3V乃至15V

読取

$V_{cc}$  未満

0V乃至 $V_{cc}$

$V_{cc}$

$V_{cc}$

\*\*\*\*\*

セル10の上述した動作は、従来の半導体メモリセルと比較して多数のその他の利点を達成するためにPMOS特性を使用している。Pチャンネル装置に対する特製ゲート電流はNチャンネル装置のものの約100倍である。従って、フローティングゲートを充電するために典型的に約0.5mAのプログラミング電流を必要とする従来のNMOSメモリセルと異なり、セル10は単に数 $\mu$ Aのプログラミング電流を必要とするに過ぎない。例えばEPROM等の従来のNMOSメモリセルのプログラミング電流よりも2桁大きき小さなプログラミング電流を必要とするということは、セル10がプログラミング期間中に電力消費を減少させることを可能とするばかりか、書き込み、即ち関連するメモリアレイ（不図示）の一行内のセル10の多数のものに対して同時的に書込を行なうことを可能としている。

【0017】従来のNMOSフラッシュメモリセルのチャンネルは、電子のトンネル動作を介しての消去期間中に必要とされるP-ウェル/N+ドレイン接合を横断しての典型的に高い逆バイアス電圧（及びその結果発生する高い電界）を許容するために十分に長いものでなければならぬことが知られている。その結果、信頼性の問題を発生することのあるような破壊的な接合ストレスを発生することなしに、このような従来のセルの寸法を更に減少させることは困難である。然しながら、セル10の動作は消去期間中にこのように高い接合バイアスを必要とするものでも使用するものでもないで（表1参照）、セル10のチャンネル長を最小とする上でそのような制限はない。この特徴は、例えばサブミクロン技術等の技術を使用してセル10を製造することを可能と

し、特に、0.7 $\mu$ m以下の特徴寸法を発生する技術を使用して製造することを可能としている。消去期間中にこのように高い接合バイアスを回避することは、更に、効果的により耐久性のあり、且つ信頼性のあるメモリセルを得ることを可能としている。

【0018】注意すべきことであるが、NMOSトランジスタのチャンネル長が約0.7 $\mu$ mより小さくなると、電子の移動度が飽和する。然しながら、PMOS装置においては、ホールの移動度は、チャンネル長が0.7 $\mu$ m以下に減少した場合にも増加し続け、且つゲート長が更に減少される場合に電子の移動度と同等のものとなる。従って、セル10のチャンネル長を最小とすることは、効果的に、ホールの移動度を電子の移動度と同等のものとし、その際にセル10の速度を増加させることとなる。更に、注意すべきことであるが、プログラミングされると、セル10は深い空乏状態となる。このことは、より高い読取電流とすることを可能とし、従ってより速い読取速度とすることを可能とする。

【0019】セル10はアレイ形態で使用する事が可能であり、その一部を図3に示してある。セル10a-10dのソース14は共通のソースノードCSへ結合している。1つの行内のセル10の制御ゲート26はその行に対するワード線へ結合しており、且つ1つの列内のセル10のドレイン16はその列に対するビット線BLへ結合している。例えばセル10aに対するプログラミング（書込）及び読取用の（及びセル10の全ての消去用の）バイアス条件は、以下の表2A-2Dに示してある。

【0020】

\*\*\*\*\*

表2A

セル10A電圧

	ドレイン	ソース	制御ゲート	N-ウェル
プログラム	0	フローティング	4-10V	3.5-7V
消去	3-15V	3-15V	-3乃至-15V	3-15V
読取	$V_{cc}$ 未満	$V_{cc}$	0	$V_{cc}$

\*\*\*\*\*

表2B

セル10B電圧

	ドレイン	ソース	制御ゲート	N-ウェル
プログラム	フローティング	フローティング	4-10V	3.5-7V
消去	3-15V	3-15V	-3乃至-15V	3-15V
読取	フローティング	$V_{cc}$	0	$V_{cc}$

\*\*\*\*\*

線選択トランジスタ32のドレイン34はその列に対するビット線BLへ結合している。一行内のセル10の制御ゲート26はその行に対する制御ゲート線CGへ結合されており、一方一行内のビット線選択トランジスタ32のゲートはその行に対するワード線WLへ結合している。

【0023】アレイ40は、低電圧及び低電流を使用してビットプログラブル即ちビット毎にプログラム可能であり、且つ低電圧及び低電流を使用してバルク即ち全体的に消去可能である。注意すべきことであるが、セル10の制御ゲート26は同一の電圧に保持することが可\*

\*\*\*\*\*

表4A

	ビット線		ワード線		セルゲート	共 通	Nウエル
	選 択	非選択	選 択	非選択	CG	ソース	
読 取	V <sub>cc</sub> 2V	フロー ティン	0	V <sub>cc</sub>	V <sub>cc</sub> - 2V	V <sub>cc</sub>	V <sub>cc</sub>
消 去	8V	N/A	0	N/A	-8V	8V	8V
プロ グラム	0	8V又は フロー ティン	0	8V	0Vから 12Vへ ランプアップ	8V	8V

\*\*\*\*\*

表4B

	ビット線		ワード線		セルゲート	共 通	Nウエル
	選 択	非選択	選 択	非選択	CG	ソース	
読 取	V <sub>cc</sub> 未満	フロー ティン	0 - 2V	V <sub>cc</sub>	V <sub>cc</sub> 未満	V <sub>cc</sub>	V <sub>cc</sub>
消 去	3 - 15V	N/A	0	N/A	-3乃至 -15V	3 - 15V	3 - 15V
プロ グラム	0	5 - 15V	0	5 - 15V	0Vから 12Vへ ランプアップ	5 - 15V	5 - 15V

\*\*\*\*\*

上述した実施例はより大型のフラッシュメモリアレイの一部として使用することが可能である。図6はソース選択トランジスタとしてPチャンネルMOSトランジスタ52を有しており且つ記憶トランジスタとしてセル10を有している2トランジスタメモリセル50を示している。選択トランジスタ52は、N-ウエル18内に形成されているP+ソース54を有すると共にゲート56を有している。セル10のソース14は選択トランジスタ52に対するドレインとして作用する。ビット線BLは記憶セル10のドレイン16へ結合している。セル50はPチャンネルセル10とPチャンネルソース選択トランジスタ52とを有している。セル50はセル10に関して上述した全ての利点を有している。

\*能であり、従ってデコードされることは必要ではなく、即ち、選択状態にある制御ゲート及び非選択状態にある制御ゲートを同一の電圧に保持することが可能である。このことはより簡単な設計とすることを可能とする。本発明に基づいてセル30を使用するNORアレイ40を動作させるバイアス条件に対する許容可能な範囲及び好適なバイアス条件を以下の表4A及び表4Bに夫々示しており、尚、NORアレイ40は供給電圧（不図示）V<sub>cc</sub>で動作するものである。

【0024】

【0025】図7はメモリ要素としてセル50を使用したフラッシュアレイ60の一部を示している。アレイ60におけるセル10のソース選択トランジスタ52の各々のソース54は共通のソースノードCSへ結合している。一実施例においては、セル10のP+ソース14はN+ビックアップ注入（不図示）によってN-ウエル18へ短絡させることが可能である。一列内のセル10の各々のドレイン16はその列に対するビット線BLへ結合している。一行におけるソース選択トランジスタ52のゲート56はその行に対する第一ワード線WL1へ結合している。一行内のセル10の制御ゲート26は第二ワード線WL2へ結合している。

50 【0026】アレイ60はビットプログラブル即ちビ

2の各々のゲート56はその行に対する第三ワード線WL2へ結合している。

【0030】アレイ80はビットプログラマブルであり、且つバルクモード、セクタモード又はビットモードのいずれかで消去可能であり、且つ低プログラミング電圧及び電流を使用して動作させることが可能である。ワード線WL1及びWL2及び制御ゲート線CGの各々は、効果的に、同一の電圧に保持することが可能であり、従ってデコードされることは必要ではない。注意すべきこと\*

\*\*\*\*\*

表6A

	ビット線		ワード線1		ワード線2		CS	CS	Nー
	選 択	非選択	選 択	非選択	選 択	非選択			ウエル
読取	V <sub>cc</sub> - 2V	フロート	0	V <sub>cc</sub>	0	0 - V <sub>cc</sub>	V <sub>cc</sub> - 2V		V <sub>cc</sub>
消去	8V	0	0	8V	8V	0	-8V	0	8V
プログラマ	0	8V	0	8V	0	0又は8V	0から12Vへランブ	8V	8V

\*\*\*\*\*

表6B

	ビット線		ワード線1		ワード線2		CS	CS	Nー
	選 択	非選択	選 択	非選択	選 択	非選択			ウエル
読取	V <sub>cc</sub> 未満	フロート	0	V <sub>cc</sub>	0	V <sub>cc</sub> 未満	V <sub>cc</sub> 未満		V <sub>cc</sub>
消去	3 - 15V	0	0	3 - 15V	3 - 15V	0	-3V 乃至 15V	0	3 - 15V
プログラマ	0	5 - 15V	0	5 - 15V	0	0又は5 - 15V	0から12Vへランブ	5 - 15V	5 - 15V

\*\*\*\*\*

本発明に基づくセル10の製造について、複数個のセル10に加えて、NMOSトランジスタ及びPMOSトランジスタを具備する周辺回路を有するより大型のメモリ構成体100に関連して以下に説明する。セル10の製造をツインウェルプロセスとして以下に説明するが、セル10は、本発明の範囲を逸脱することなしにNウェルプロセスにしたがって製造することも可能である。

【0033】次に図10を参照すると、構成体100は従来の方法でNーウエル104とPーウエル106とが形成されているPー型基板102を有している。Nーウエル104及びPーウエル106の固有抵抗及び厚さはその中に形成すべき装置の所望の特性に依存する。約7500Åの厚さのフィールド酸化物領域108及び約240Åの厚さのパッド酸化物層110を適宜の方法によ

\*であるが、セル10は、プログラムされた場合に、デブリション装置として動作する。

【0031】本発明に基づいてセル70を使用するアレイ80を動作させるためのバイアス条件に対する許容可能な範囲及び好適なバイアス条件を以下の表6A及び6Bに示してあり、尚アレイ80は供給電圧（不図示）V<sub>cc</sub>で動作する。

【0032】

って基板102の上表面上に形成する。ホトレジスト又はその他の任意の適宜のマスキング物質とすることの可能なマスキング層112を形成し、次いで従来の方法を使用して選択的にエッチングし、図10に示したパターンを形成する。

【0034】砒素等のN型ドーパントを約100keVのエネルギーで（又は50keVで磷を使用して）且つ約2E13イオン数/cm<sup>2</sup>のドーズで、後の段階においてセル10のチャンネル111となるNーウエル104の一部111内へ注入させる。次いで、適宜のエッチャントによってマスキング層112を除去する。約80乃至130Åの厚さのトンネル酸化物層114を形成した後、基板100上にポリシリコン層を付着形成し且つ選択的にエッチングしてフローティングゲート116を

23

24

【図7】 図6のセルを使用したアレイの概略図。

【図8】 EEPROMセルの一部として実現した図1のセルの概略断面図。

【図9】 図8のセルを使用したアレイの概略図。

【図10】 本発明に基づいてPチャンネルメモリセルを製造する一段階における状態を示した概略断面図。

【図11】 本発明に基づいてPチャンネルメモリセルを製造する一段階における状態を示した概略断面図。

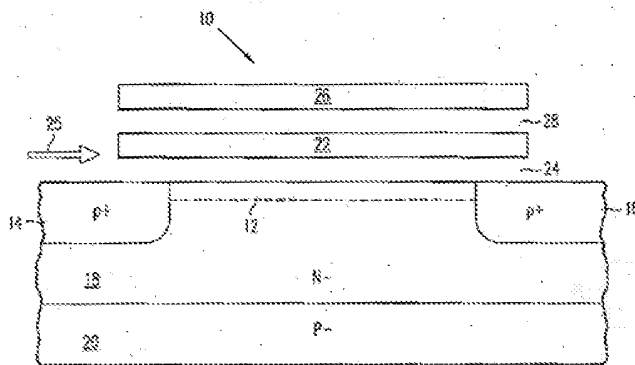
【図12】 本発明に基づいてPチャンネルメモリセルを製造する一段階における状態を示した概略断面図。

【図13】 本発明に基づいてPチャンネルメモリセルを製造する一段階における状態を示した概略断面図。 \*

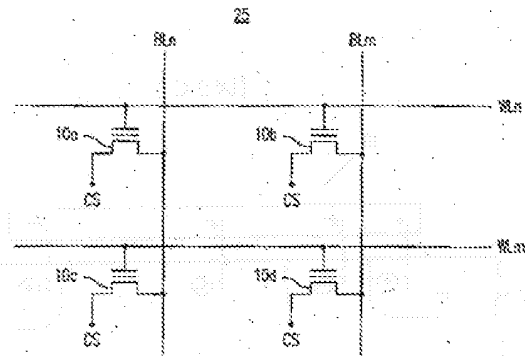
## \* 【符号の説明】

- 10 フラッシュメモリセル
- 12 チャンネル
- 14 P+ソース
- 16 P+ドレイン
- 18 N-ウェル
- 20 P-基板
- 22 フローティングゲート
- 24 トンネル動作酸化物層
- 26 制御ゲート
- 28 絶縁層

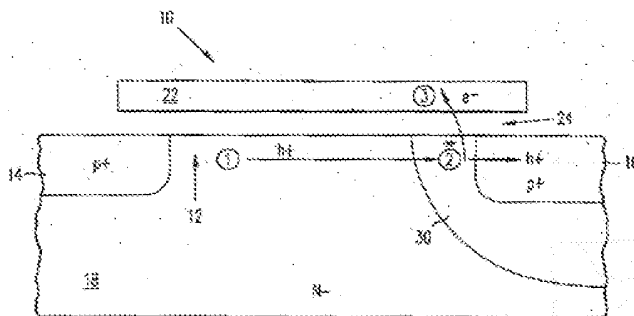
【図1】



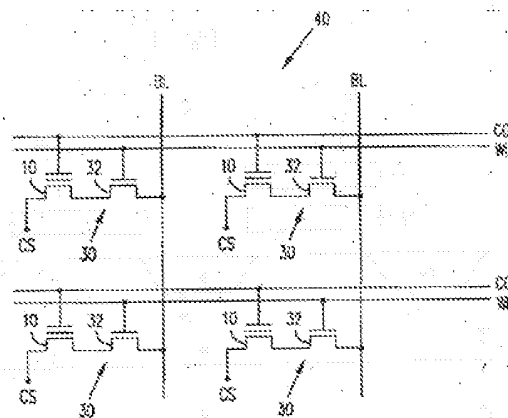
【図3】



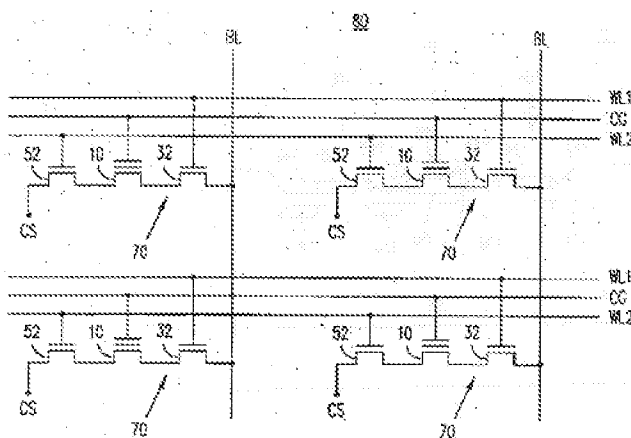
【図2A】



【図5】



29



【圖 13】

